



Achtung:

Diese Beschreibung ist NICHT vollständig.

Sie wurde immer nur nach dem aktuellen Bedarf erweitert.

Vermutlich wird diese Beschreibung auch nie fertig gestellt werden

Dokument zuletzt bearbeitet am Mittwoch, 6. April 2011

Aktuelle Version unter [system-99 user-group](#)

Yamaha V9938 - Video Display Prozessor (MSX II)

Allgemeines	5
Addressierung der Register	5
Die Palettenregister	6
Die Statusregister	6
Übersicht der VDP-Register	7
Standard-Register	7
Statusregister	8
VDP-Register 0	9
Aufbau Register 0	9
DG DIGITIZE	9
IE2 INTERRUPT ENABLE 2	9
IE1 INTERRUPT ENABLE 1	9
M5 bis M3	9
VDP-Register 1	10
Aufbau Register 1	10
IE0 INTERRUPT ENABLE 0	10
M1,M2 MODUS-BITS	10
SI SPRITE-SIZE	10
MAG MAGNIFICATION	10
VDP-Register 8	11
Aufbau Register 8	11
MS MOUSE	11
LP LIGHT PEN	11
TP TRANSPARENT	11
CB ColorBus	11
VR Video Ram	11
SPD Sprite Disable	11
BW BLACK and WHITE	11
VDP-Register 9	12
Aufbau Register 9	12
LN LINE NUMBER	12
S1, S0	12
IL INTERLACE	12
EO EVEN/ODD	12
DC DLCLK-Modus	12
VDP-Register 0,1,8,9	13
Die Modus-Register	13
Modus-Bits	13
Die Synchronisationsbits	13
VDP-Register 10 und 11	14
VDP-Register 2	15
R#2 PATTERN NAME TABLE BASE ADDRESS REGISTER	15
Aufbau Register 2	15
VDP-Register 3 & 10	16
R#3 COLOR TABLE BASE ADDRESS REGISTER LOW	16
R#10 COLOR TABLE BASE ADDRESS REGISTER HIGH	16
Aufbau Register R#3:	16
Aufbau Register R#10:	16
VDP-Register 4	17
R#4 PATTERN GENERATOR TABLE BASE ADDRESS REGISTER	17
Aufbau Register 4	17
VDP-Register 5 & 11	18
R#5 SPRITE ATTRIBUTE TABLE BASE ADDRESS REGISTER LOW	18
R#11 SPRITE ATTRIBUTE TABLE BASE ADDRESS REGISTER HIGH	18
Aufbau Register R#5:	18
Aufbau Register R#11:	18
VDP-Register 6	19

Yamaha V9938 - Video Display Prozessor (MSX II)

R#6 SPRITE PATTERN GENERATOR TABLE BASE ADDRESS REGISTER	19
Aufbau Register 9:	19
VDP-Register 7	20
R#7 Color Register 0	20
Aufbau Register 7:	20
TC0...TC3 Text Color	20
BD0...BD3 Backdrop Color	20
VDP-Register 12	20
R#12 Color Register 1	20
Aufbau Register 12	20
T20...T23 Textcolor 2	20
BC0...BC3 Back Color	20
VDP-Register 13	21
R#13 Blinking Period Register	21
Aufbau Register 13	21
ON0...ON3 On Time	21
OF0...OF3 Off Time	21
Die Anzeigedauer ist wie folgt festgelegt (Zeiten gültig für NTSC)	21
VDP-Register 16	22
R#16 Color Palette Address Pointer	22
Ein Beispielprogramm:	22
Die Status-Register	23
A C H T U N G !!!	23
Status-Register 0	24
Aufbau Statusregister 0	24
F FIELD SCAN FLAG	24
5S FIFTH SPRITE	24
C COLLISION/COINCIDENCE	24
FIFTH/NINTH SPRITE NUMBER	24
Status-Register S#1	25
Aufbau Statusregister 1	25
FL LIGHT DETECTED	25
LPS LIGHT-PEN-SWITCH	25
IDn	25
FH HORIZONTAL SCANNING INTERRUPT FLAG	25
Status-Register S#2	26
Aufbau Statusregister 2	26
TR TRANSFER READY	26
VR VERTICAL RESCAN	26
HR HORIZONTAL RESCAN	26
BD BOUNDARY COLOR DETECT	26
EO EVEN/ODD FIELD	26
CE COMMAND EXECUTING	26
Status-Register S#3, S#4, S#5, S#6	27
Aufbau Statusregister 3,4,5,6	27
S#7 COLOR REGISTER	27
Aufbau Statusregister 7	27
S#8, 9 BORDER X REGISTER (Low/High)	27
Aufbau Statusregister 8 & 9	27
Beispiel Textmodus 2 - 24 * 80 oder 26 * 80 Zeichen	28
Grundlegende Registerbelegung:	28
Pattern Generator Table (PGT)	28
Pattern Name Table (PNT)	29
Color Table (CT)	29

Allgemeines

Der MSX-II-VDP verfügt über insgesamt 47 Register, zu denen noch 10 Statusregister sowie 16 Palettenregister gehören. Die Video-Register 0 bis 23 und 32 bis 46 sind sog. WRITE-ONLY-Register, da ihr Inhalt nur definiert, aber nicht zurückgelesen werden kann. Die Paletten- und Statusregister werden indirekt adressiert, d.h. man muß zuvor die Nummer des gewünschten Registers in einem anderen Register spezifiziert haben. Einzelheiten folgen.

Der Chip wird über 4 Speicheradressen adressiert, wovon beim TI 2 Adressen aufgrund der Adressierungsstruktur der CPU auf 4 Adressen verteilt sind. Das bedeutet, daß die 4 sog. PORTS des V9938 auf den Adressen >8800, >8C00, >8802, >8C02, >8C04 und >8C06 liegen.

Diesen Ports (oder Zugriffsadressen) sind Ziffern wie folgt zugeordnet:

Port #0	>8800 (lesen)	>8C00 (schreiben)
Port #1	>8802 (lesen)	>8C02 (schreiben)
Port #2		>8C04 (schreiben)
Port #3		>8C06 (schreiben)

Die Ports #2 und #3 sind also Adressen, auf die nur geschrieben, von denen aber nicht gelesen werden kann.

Die Ports #0 und #1 erfüllen exakt die gleichen Funktionen wie bei einem „normalen“ TI mit TMS9929 (ohne 80-Zeichen-Karte).

Addressierung der Register

Die VDP-Register können prinzipiell auf 2 verschiedene Arten adressiert werden. Die erste Art ist die sog. *DIREKTE ADRESSIERUNG*. Die Vorgehensweise ist die gleiche wie beim 9929/9918. Zuerst wird über Port #1 der Registerwert geschrieben, danach wird über denselben Port die Registernummer geschrieben, zusammen mit dem Operationscode, der einen Registerzugriff angibt. Dabei muß im zweiten Byte das höchstwertige Bit gesetzt sein und die 4 folgenden Bits müssen Null sein. Strenggenommen muß nur das Bit mit der zweithöchsten Wertigkeit null sein, doch sollte generell jedes undefinierte Bit nicht gesetzt werden. Was passiert, wenn man sich nicht daran hält, wird später erläutert.

Beim V9938 sind statt 8 Registern (0 bis 7) nun 47 vorhanden. Es werden also 6 Bit zur Spezifikation der Registernummer benötigt. Daher ist beim direkten Zugriff auf die Register des V9938 tatsächlich nur das oberste Bit zu setzen und nur das folgende Bit zu Null zu setzen. Alle anderen Bits des zweiten Bytes einer Registeradressierung sind als Registernummer gültig.

Die zweite Methode der Registeradressierung ist die sog. *INDIREKTE ADRESSIERUNG*. Hierbei wird die Nummer eines Registers per direktem Transfer über Port #1 in das VDP-Register #17 (>11) übergeben. Das Datenbyte enthält dabei in den unteren 6 Bit die Registernummer. Das zweithöchstwertige Bit ist Null und das höchstwertige Bit legt fest, ob ein Autoinkrement gewünscht ist oder nicht.

Anschließend werden die Registerwerte über Port #3 übergeben.

Wurde das höchstwertige Bit im Datenbyte zuvor gesetzt, dann ist das Autoinkrement nicht aktiv, andernfalls wird der Inhalt von R#17 nach jedem Zugriff auf Port #3 inkrementiert, d.h. daß jedes folgende Byte im arithmetisch nachfolgenden Register abgelegt wird. Damit wird es sehr einfach, mehrere Register nacheinander zu adressieren, ohne sie über Port #1 jedesmal neu spezifizieren zu müssen. Es können jedoch nur numerisch aufeinanderfolgende Register in einem Zug beschrieben werden. Je nach angefordertem Register sind unterschiedliche Datenmengen über Port #3 zu übergeben.

Die Palettenregister

Die 16 Palettenregister des V9938 legen fest, welche Anteile der Grundfarben Rot, Grün und Blau in einem Farbwert enthalten sind. In den meisten Betriebsarten des VDP sind maximal 16 Farben pro angezeigtem Bild verfügbar (Ausnahme Graphik 7). Die endgültige Farbe jedes dieser 16 Farbcodes kann über die Palettenregister frei definiert werden.

Um eine Farbkombination (RGB-Kombination) einer Bildschirmfarbe zu beeinflussen, muß die Nummer des Farbcodes (0 bis 15) in Register #16 (>10) per direkter Adressierung (vorzugsweise) gesetzt werden. Anschließend sind 2 Bytes an Daten über Port #2 zu übergeben. Dabei sind nur 9 dieser 16 Bits relevant. Details folgen bei der Besprechung des Register #16.

Die Statusregister

Im Gegensatz zum 9929/9918 verfügt der V9938 über 10 Statusregister. Es kann jeweils nur eines über Port #1 gelesen werden. Welches Statusregister das ist, wird in Register #15 festgelegt. Per direkter Adressierung (vorzugsweise) wird im Datenbyte die Nummer des Statusregisters spezifiziert, wobei nur die 4 niederwertigsten Bits relevant sind - die anderen sollten Null sein.

Nach dem Setzen von Register #15 kann über Port #1 der Inhalt des angegebenen Registers gelesen werden. Dabei werden unter verschiedenen Bedingungen Bits gelöscht. Näheres bei der Beschreibung der Statusregister.

Auf der folgenden Seite sind die verfügbaren Register des V9938 in numerisch aufsteigender Folge aufgelistet, zusammen mit einer kurzen Beschreibung wesentlicher Funktionen.

Im einzelnen werden alle Register bzw. Registergruppen auf den danach folgenden Seiten beschrieben. Es schließen sich einige Berechnungs- und Anwendungsbeispiele an.

Übersicht der VDP-Register

Standard-Register

>00	#0	Mode Register 0, Color Bus, Interrupt, Display Mode
>01	#1	Mode Register 1, Blanking, Interrupt, Sprites, Display Mode
>02	#2	Pattern Name Table Base Address (Screen Image Table)
>03	#3	Color Table Base Address Low, niederwertiger Teil
>04	#4	Pattern Generator Table Base Address (Pattern Descriptor Table)
>05	#5	Sprite Attribute Table Base Address Low, niederwertiger Teil
>06	#6	Sprite Pattern Generator Table Base Address, Sprite Descriptor Table
>07	#7	Color Register 0, Hintergrundfarbe, Vordergrundfarbe 1 im Textmodus
>08	#8	Mode Register 2, Mouse, Light Pen, Color Select, FBAS enable
>09	#9	Mode Register 3, 212/192 Zeilen, Simultan, NTSC/PAL, Interlace
>0A	#10	Color Table Base Address High, 3 Extra Adressbits
>0B	#11	Sprite Attribute Table Base Address High, 2 Extra Adressbits
>0C	#12	Color Register 1, Blink-Farbkombination
>0D	#13	Blinking Period Register, Blinkperiode einstellen
>0E	#14	VRAM Access Base Address, Bank des VRAMs (je 16KByte), 3 Bits
>0F	#15	Status Register Pointer, Zeiger auf das zu lesende Statusregister
>10	#16	Color Palette Address Pointer, Zeiger auf die Palettenregister
>11	#17	Indirect Access Register Pointer, siehe INDIREKTER ZUGRIFF
>12	#18	Display Adjust Register, Kontroller von horiz. u. vert. Bildlage
>13	#19	Interrupt Line Register, Zeile, in der ein Interrupt erfolgt
>14	#20	Color Burst Register 1, 0 Grad
>15	#21	Color Burst Register 2, 120 Grad
>16	#22	Color Burst Register 3, 240 Grad
>17	#23	Display Offset Register, Vertikalverschiebung in Punktzeilen
>18 bis >1F	#24 bis #31	Keine Information verfügbar!
>20	#32	Source X Low Register
>21	#33	Source X High Register
>22	#34	Source Y Low Register
>23	#35	Source Y High Register
>24	#36	Destination X Low Register
>25	#37	Destination X High Register
>26	#38	Destination Y Low Register
>27	#39	Destination Y High Register
>28	#40	Number of Dots X Low Register
>29	#41	Number of Dots X High Register
>2A	#42	Number of Dots Y Low Register
>2B	#43	Number of Dots Y High Register
>2C	#44	Color Register
>2D	#45	Argument Register
>2E	#46	Command Register

Yamaha V9938 - Video Display Prozessor (MSX II)

Statusregister

>00	#0	Vertical Interrupt Flag, n+1 Sprite u. Nummer
>01	#1	Lightpen Flag, Switch #1, ID Number, H-Interrupt
>02	#2	Transfer Ready, V-Scan, H-Scan, B-Color, EO, CO-Flag
>03	#3	Column Register Low, Sprite Coll, Lightpen-Pos, Mouse
>04	#4	Column Register High, Sprite Coll, Lightpen-Pos, Mouse
>05	#5	Row Register Low, Sprite Collis, Lightpen-Pos, Mouse
>06	#6	Row Register High, Sprite Collis, Lightpen-Pos, Mouse
>07	#7	Color Register, Kommando-Hilfsregister
>08	#8	Border X Register Low, Koordinate Border Detect
>09	#9	Border X Register High, Koordinate Border Detect

VDP-Register 0

Das VDP-Register 0 wird im folgenden MODE REGISTER 0 genannt. Zusammen mit den Registern 1,8 und 9 stellt es eine Reihe von Konfigurationsvarianten des MSX-II Video-Display-Prozessors (VDP) zur Verfügung.

Aufbau Register 0

Register	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
#0	0	DG	IE2	IE1	M5	M4	M3	0

DG DIGITIZE

Der V9938 verfügt über einen sog. COLOR BUS. Dieser ist 8 Bit breit und erlaubt es, sowohl die Farbe eines momentan angezeigten Pixels nach außen zu senden als auch Daten von außen entweder parallel mit dem eigenen Bild anzuzeigen oder externe Daten ins VDP-RAM zu laden. Damit ist es direkt möglich, extern erzeugte Bilder zu digitalisieren. Dazu benötigt man lediglich einen schnellen A/D-Wandler und eine Synchronisationsschaltung, welche für den Gleichlauf von VDP und Fremdsignal sorgt. Mehr dazu in der Hardware-Sektion. Soll digitalisiert werden, so muß DG auf log.1 gesetzt werden, zum normalen Betrieb muß DG log.0 sein.

IE2 INTERRUPT ENABLE 2

An den V9938 kann ein Lightpen (altdeutsch Lichtgriffel) angeschlossen werden. Der VDP wertet den Zeitpunkt aus, wenn der Kathodenstrahl des Monitors auf die Optik des Lightpen trifft, bestimmt Zeile und Spalte der Position des Lightpen und übergibt diese in den Statusregistern S#3 bis S#6. Sofern IE2 log. 1 war, wird in diesem Moment ein Interrupt ausgelöst. Ist IE2 log. 0, erfolgt kein Interrupt - die Positionsbestimmung erfolgt jedoch weiterhin.

IE1 INTERRUPT ENABLE 1

Horizontal-Interrupt.

M5 bis M3

Einstellung der Graphik-Betriebsart des VDP. Näheres am Ende dieses Abschnitts.

VDP-Register 1

Das VDP-Register 1 ist das MODE REGISTER 1. Es legt zusammen mit R#0,8 & 9 die Betriebsart des VDP fest, steuert die Bildschirmaktivierung und die Sprite-Darstellung sowie den Vertikalinterrupt (vom TMS9918/29 als VDP-Interrupt bekannt).

Aufbau Register 1

Register	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
#1	0	BL	IE0	M1	M2	0	SI	MAG

IE0 INTERRUPT ENABLE 0

Nach jedem Halbbild (Interlace-Modus) kann der VDP einen Interrupt auslösen. Damit hat man eine genaue Zeitbasis zur Verfügung, da diese Zeit aufgrund des Timings bei PAL oder NTSC sehr präzise sein muß (abgeleitet). IE0 muß log.1 sein, wenn ein Vertikalinterrupt ausgelöst werden soll. Ist IE0 log.0, so kann ein sonst aufgetretener Vertikalinterrupt über Bit 7 des Statusregisters S#0 erkannt werden.

M1,M2 MODUS-BITS

Siehe entsprechenden Abschnitt dieses Kapitels.

SI SPRITE-SIZE

Größe der Sprites. Je nach Zustand dieses Bits variiert die Darstellung der Sprites. Ein 8x8-Sprite in MAG 0 ist genauso groß wie ein 16x16 in MAG 1, jedoch ist ein 16x16-Sprite immer feiner detailliert. Dabei wächst aber auch die Länge der notwendigen Zeichendefinition. Näheres im entsprechenden Kapitel.

MAG MAGNIFICATION

Vergrößerung der Sprites. Hierbei wird (MAG 1) jeder Punkt der Spritedefinition mit 4 Bildschirmpunkten dargestellt (doppelt hoch und breit). Jedoch leidet dabei die Auflösung. Näheres im entsprechenden Kapitel.

VDP-Register 8

Das VDP-Register 8 ist das MODE REGISTER 2. Es legt zusammen mit R#0,1 & 9 die Betriebsart des VDP fest, steuert Maus- und Lightpen-Operation und damit auch die des Color-Bus und konfiguriert den Composite-Ausgang.

Aufbau Register 8

Register	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
#8	MS	LP	TP	CB	VR	0	SPD	BW

MS MOUSE

Aktiviert die Maus. Der Lightpen muß abgeschaltet werden! Der Color Bus wird in jedem Fall auf INPUT geschaltet, wenn die Maus aktiviert wird. Ist MS log.1, so kann die relative Position der Maus in den Statusregistern S#3 und S#5 gelesen werden. Die Maustasten können im Statusregister S#1 geprüft werden, wo die zwei höchstwertigen Bits den Zustand der beiden Tasten wiedergeben. Ist MS log.0, so sind keine Mausoptionen verfügbar.

LP LIGHT PEN

Aktiviert den Light-Pen. Es kann nur entweder der Light-Pen ODER die Maus aktiviert sein! Die beiden Maustastenbits in S#1 geben nun an, ob der Lightpen-Taster gedrückt wurde oder ob Licht auf den Sensor fällt. Zusätzlich kann in den Statusregistern S#3 bis S#6 die Position des Light-Pen auf dem Schirm ermittelt werden, sowie das Feld (EO an), das in dem Moment angezeigt wurde.

TP TRANSPARENT

Normalerweise ist der Farbcode 0 so definiert, das Punkte, die so definiert sind, die Farbe des Hintergrundes zeigen, also gewissermaßen transparent sind. Wird TP log.1, so kann dieser Farbcode zusätzlich benutzt und nach Bedarf definiert werden. Ist TP log.0, so stehen in den üblichen Graphik-Modi nur 15 bzw. 255 Farben zur Verfügung.

CB ColorBus

Der Colorbus arbeitet im Eingabe (Lese)-Modus, wenn das Bit CB zu 1 gesetzt wird.

VR Video Ram

Bei VR = 1 wird der VDP-Refresh für 64K*1Bit oder 64K*4Bits eingeschaltet, sonst 16K*1Bit oder 16k*4Bit

SPD Sprite Disable

Wird SPD aktiviert, werden alle Sprites auf dem Bildschirm deaktiviert

BW BLACK and WHITE

Ist BW aktivi, wird am Pin 21 des VDP ein Composite Video Signals (FBAS) in 32 Graustufen angelegt, das über eine entsprechende Treiberstufe direkt an den Eingang des Monitors oder Fernsehers angeschlossen werden kann. Im Normalfall (BW = 0) kann über eine besondere Encoder-Schaltung, auf die leider nirgends näher eingegangen wird, ein farbiges Composite Video Signal (FBAS) entgegengenommen werden.

VDP-Register 9

Das VDP-Register 9 ist das MODE REGISTER 3. Es legt zusammen mit R# 0,1 & 8 die Betriebsart des VDP fest, steuert die Anzahl angezeigter Zeilen, die Fernsehnorm, in der angezeigt wird sowie eine eventuelle Fremdsynchronisation.

Aufbau Register 9

Register	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
#9	LN	0	S1	S0	IL	EO	NT	DC

LN LINE NUMBER

Es können wahlweise 192 oder 212 Zeilen angezeigt werden. Das ist nicht zu verwechseln mit der Darstellung in PAL oder NTSC, wo ebenfalls die Zeilenzahl unterschiedlich ist, auch wenn es am RGB-Ausgang sonst keinen Unterschied gibt. Bei 192 Zeilen werden ganz einfach die weiter unten liegenden Einträge in der Screen Image Table ignoriert, ansonsten werden sie angezeigt.

S1, S0

SYNCHRONIZATION MODE Diese Bits legen fest, wie der V9938 synchronisiert wird. Näheres bei der Beschreibung der Modus-Bits.

IL INTERLACE

Ein Fernsehbild ist normalerweise so aufgebaut, daß immer nur die Hälfte der dargestellten Zeilen auf einmal erneuert wird. Dabei werden in einem Bildwechsel die geraden, im anderen nur die ungeraden Zeilen dargestellt. Wird IL log.0, so werden immer alle Zeilen nacheinander angezeigt - das Bild flimmert und der Monitor synchronisiert u.U. nicht.

EO EVEN/ODD

Damit lässt sich die Anzahl dargestellter Zeilen verdoppeln. Ist EO log.1, so wird jeweils abwechselnd ein anderer Graphik-Schirm angezeigt. Da beide selbständig definiert werden, ergibt sich die doppelte vertikale Auflösung. Ist EO log.0, so wird nur ein Graphik-Schirm dargestellt. Im Graphik 4 & 5 Modus sind 4 Schirme verfügbar, in Graphik 6 & 7 sind es nur 2.

DC DLCLK-Modus

Eine log. 1 setzt den DLCLK-Pin (PixelClock) auf Input-Modus, 0 auf Output-Modus

VDP-Register 0,1,8,9

Die Modus-Register

Modus-Bits

Insgesamt stehen 5 Modus-Bits zur Verfügung, mit denen der Graphik-Modus des V9938 gewählt werden kann. Die folgende Liste zeigt die notwendigen Zustände dieser Bits, um einen bestimmten Modus zu schalten (SM - Sprite Modus).

M5	M4	M3	M2	M1	Sprite Modus	Modus	Zeichen	Farben
0	0	0	1	0	-	Text 1	40 x 24 Zeichen	2 Farben von 512
0	1	0	1	0	-	Text 2	80 x 24/26,5 Zeichen	2/4 Farben von 512
0	0	0	0	1	1	Multicolor	64 x 48 Blöcke	16 Farben von 512
0	0	0	0	0	1	Graphik 1	32 x 24 Zeichen	16 Farben von 512
0	0	1	0	0	1	Graphik 2	32 x 24 Zeichen	16 Farben von 512
0	1	0	0	0	2	Graphik 3	32 x 24 Zeichen	16 Farben von 512
0	1	1	0	0	2	Graphik 4	Bitmap 256x212 Pixel	16 Farben von 512
1	0	0	0	0	2	Graphik 5	Bitmap 512x212 Pixel	4 Farben von 512
1	0	1	0	0	2	Graphik 6	Bitmap 512x212 Pixel	16 Farben von 512
1	1	1	0	1	2	Graphik 7	Bitmap 256x212 Pixel	256 Farben

Im Sprite-Modus 1 können maximal 4 Sprites auf einer Zeile dargestellt werden, ein evtl. vorhandenes fünftes Sprite wird nicht korrekt dargestellt. Im Sprite-Modus 2 können 8 Sprites in einer Zeile dargestellt werden, ein neuntes wird, wie das fünfte in SM 1, teilweise verdeckt. Die Graphik-Modi 2 und 3 unterscheiden sich nur im Sprite-Modus.

Beim TMS9918/29 stehen nur die Modus-Bits M1, M2 und M3 zur Verfügung.

Die Synchronisationsbits

Die Bits in R#9, S0 und S1, bestimmen die Synchronisationsart des V9938.

Folgende Kombinationen sind möglich:

S1	S0	Ys-Funktion	Sync-Funktion	Anzeige
0	0	Low, normales Display	PC SYNC	VDP-Schirm
0	1	Aktiv bei transparentem Teil des VDP-Displays	STD SYNC	VDP & externes Signal, digitalisieren
1	0	High, externes Signal	STD SYNC	Externes Signal
1	1	-----	-----	nicht erlaubt

Das Signal Ys zeigt an, wann der MSX-VDP den transparenten Teil des Bildschirms darstellt. In diesem Fall kann das externe Signal überlagert, d.h. dargestellt werden.

VDP-Register 10 und 11

Diese 2 Register bestimmen den Aufbau des Bildschirmes in allen Darstellungsmodi des V9938 bzw. sie legen fest, aus welchen Bereichen des VRAMs die Daten entnommen werden, die zum Aufbau des Bildes im eingestellten Modus benötigt werden.

Die Bedeutung dieser Register variiert je nach Graphik- oder Textmodus, der gewählt wurde. Entsprechend der je nach Modus unterschiedlichen Länge der Tafeln, deren Basisadresse diese Register definieren, sind auch manchmal unterschiedliche Bits signifikant. Daher kann diese Übersicht eben nur Übersicht sein - die Details beim Zuordnen der Basisadressen passend zum Graphik-Modus können den entsprechenden Beschreibungen der Graphik-Modi entnommen werden. Dort finden sich auch Beispiele für die Werte dieser Register.

Aufgrund des wesentlich erweiterten VRAMs, das der V9938 verwalten kann, sind mehr signifikante Bits in den Registern 2 bis 6 vorhanden. In zwei Fällen reichten 8 Bit nicht aus, so daß zwei zusätzliche Register notwendig wurden, um eine umfassende Adressierung von Farbtabelle (COLOR TABLE) und Sprite Attribut-Liste (SPRITE ATTRIBUTE TABLE) zu erlauben.

Software für den TMS 9918/29 ist nur dann kompatibel zum V9938, wenn die Basisadressen für die verschiedenen Tafeln innerhalb des wesentlich kleineren VRAMs des 9918/29 in den nichtsignifikanten Bitpositionen Null-Bits enthalten.

Es zeigt sich hier erneut, daß ein sauberer Programmierstil immer noch die besten Zukunftsperspektiven liefert.

VDP-Register 2

R#2 PATTERN NAME TABLE BASE ADDRESS REGISTER

Das VDP-Register 2 legt die sog. Basisadresse der PATTERN NAME TABLE (PNT) fest. Das ist ein Bereich des VRAMs, der die Zeichencodes enthält, welche in ihrer jeweiligen Definition auf dem Bildschirm dargestellt werden. Diese Tafel ist beim TMS 9918/29 als SCREEN IMAGE TABLE bekannt. Jede Adresse ab der so definierten Basisadresse korrespondiert mit einer festen Bildschirmposition. Der hier eingetragene Wert wird mit >400 multipliziert, d.h. daß die Basisadresse der PATTERN NAME TABLE nur an Vielfachen der VRAM-Adresse >400 liegen kann. Dementsprechend enthält dieses Register nur die Adreßbits A12 bis A16, wobei die Adressen A11 und A10 fest zu 1 gesetzt sind. Daher ist bei der Berechnung ein Offset von 3 abzuziehen: **VR#2 - 3 * >0400**

Aufbau Register 2

Register	Bank				Adresse				
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
#2	0	A16	A15	A14	A13	A12	1	1	7 höchstwertige Bits der PNT Basisadresse. Bits a9-a0 sind als '0' definiert.

VR#2	Adresse VRAM	Bank	Adresse
>03	>00000	0	>0000
>07	>01000	0	>1000
>0B	>02000	0	>2000
>0F	>03000	0	>3000
>13	>04000	1	>0000
>17	>05000	1	>1000
>1B	>06000	1	>2000
>1F	>07000	1	>3000
>23	>08000	2	>0000
>27	>09000	2	>1000
...
>5F	>17000	5	>3000
>63	>18000	6	>0000
>67	>19000	6	>1000
>6B	>1A000	6	>2000
>6F	>1B000	6	>3000
>73	>1C000	7	>0000
>77	>1D000	7	>1000
>7B	>1E000	7	>2000
>7F	>1F000	7	>3000

Jeder Eintrag in die PNT ist 8 Bit breit und stellt den hexadezimalen Code eines Zeichens dar, dessen Pixeldefinition in der PATTERN GENERATOR TABLE zu finden ist. Jede Adresse innerhalb der PNT ist dabei fest mit einer Bildschirmposition verknüpft, an der dieses Zeichen erscheint. Ein Zeichencode >20 an der ersten Adresse der PNT bewirkt, daß in der oberen linken Ecke des Bildschirms ein Leerzeichen erscheint, sofern dem Code >20 (dezimal 32) das Leerzeichen zugeordnet wurde. Ein Eintrag in die letzte Adresse der PNT bewirkt das Erscheinen des gewünschten Zeichens in der rechten unteren Ecke des Bildschirms.

Jeder Zeichencode darf Werte zwischen >00 und >FF (dezimal 0 bis 255) annehmen.

VDP-Register 3 & 10

R#3 COLOR TABLE BASE ADDRESS REGISTER LOW

R#10 COLOR TABLE BASE ADDRESS REGISTER HIGH

Das ist eines der Registerpaare, die dem erweiterten Adreßbereich des V9938 entgegen kommen. Da die Basisadresse der COLOR TABLE (CT) in kleineren Abschnitten verschoben werden kann (Vielfache von >40), reichen die restlichen Bits in R#3 nur noch bis A13, es fehlen also noch 3 Bits, um die Tafel im ganzen 128 KByte großen VRAM beliebig plazieren zu können. Dazu wird das Register 10 (R#10) herangezogen, in dem die restlichen 3 Adreßbits definiert werden.

Die Bits a6 - a8 sind fest auf 1 gesetzt. Dadurch läßt sich der Bereich nur in Schritten von >200 definieren. Dazu kommt, daß noch ein Offset von 7 addiert werden muß.

Aufbau Register R#3:

Register	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
#3	A13	A12	A11	A10	A9	1	1	1	Die Bits a5 - a0 sind als '0' definiert.

Color Table	Bitmuster	Wert
>0000	0 0 0 0 0 1 1 1	>07
>0200	0 0 0 0 1 1 1 1	>0F
>0400	0 0 0 1 0 1 1 1	>17
>0600	0 0 0 1 1 1 1 1	>1F
>0800	0 0 1 0 0 1 1 1	>27
>0A00	0 0 1 0 1 1 1 1	>2F
>0C00	0 0 1 1 0 1 1 1	>37
>0E00	0 0 1 1 1 1 1 1	>3F
>1000	0 1 0 0 0 1 1 1	>47
...
>3000	1 1 0 0 0 1 1 1	>C7
>3200	1 1 0 0 1 1 1 1	>CF
>3400	1 1 0 1 0 1 1 1	>D7
>3600	1 1 0 1 1 1 1 1	>DF
>3800	1 1 1 0 0 1 1 1	>E7
>3A00	1 1 1 0 1 1 1 1	>EF
>3C00	1 1 1 1 0 1 1 1	>F7
>3E00	1 1 1 1 1 1 1 1	>FF

Aufbau Register R#10:

Register	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
#10	0	0	0	0	0	A16	A15	A14	Speicherbank des ColorTable

VDP-Register 4

R#4 PATTERN GENERATOR TABLE BASE ADDRESS REGISTER

Mit dem VDP-Register #4, wird die Basisadresse des sogenannten PATTERN GENERATOR TABLE festgelegt. Dieser Bereich des VDP-Rams beschreibt das Aussehen der Zeichen die auf dem Bildschirm angezeigt werden können. Jedes Bit in dieser Tabelle korrespondiert mit einer bestimmten Pixelposition innerhalb des spezifizierten Characters. Jedes ASCII-Zeichen wird mit 64 Bit, also 8 Pixelzeilen mal 8 Pixelspalten beschrieben. Für alle 256 Zeichen belegt der PATTERN GENERATOR TABLE also 64 Bit mal 256 Zeichen, gleich 16384 Bit oder 2048 Bytes.

Der im VDP-Register #4 eingetragene Wert wird mit >0800 multipliziert, was gleichzeitig bedeutet, daß der PATTERN GENERATOR TABLE nur an Vielfachen der Adresse >0800 im VDP-Ram liegen kann. Dementsprechend enthält dieses VDP-Register nur die Adressbits A11 bis A16.

Aufbau Register 4

Register	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
#4	0	0	A16	A15	A14	A13	A12	A11	Die Bits a10 - a0 sind als '0' definiert

VR#4	Adresse VRAM	Bank	Adresse
>00	>00000	0	>0000
>01	>00800	0	>0800
>02	>01000	0	>1000
>03	>01800	0	>1800
>04	>02000	0	>2000
>05	>02800	0	>2800
>06	>03000	0	>3000
>07	>03800	0	>3800
>08	>04000	1	>0000
>09	>04800	1	>0800
>0A	>05000	1	>1000
>0B	>05800	1	>1800
>0C	>06000	1	>2000
>0D	>06800	1	>2800
>0E	>07000	1	>3000
>0F	>07800	1	>3800
>10	>08000	2	>0000
>11	>08800	2	>0800
>12	>09000	2	>1000
....
>36	>1B000	6	>3000
>37	>1B800	6	>3800
>38	>1C000	7	>0000
>39	>1C800	7	>0800
>3A	>1D000	7	>1000
>3B	>1D800	7	>1800
>3C	>1E000	7	>2000
>3D	>1E800	7	>2800
>3E	>1F000	7	>3000
>3F	>1F800	7	>3800

VDP-Register 5 & 11

R#5 SPRITE ATTRIBUTE TABLE BASE ADDRESS REGISTER LOW

R#11 SPRITE ATTRIBUTE TABLE BASE ADDRESS REGISTER HIGH

Wie bereits bei dem Registerpaar R#3 & R#10 wird auch die Basisadresse des SPRITE ATTRIBUTE TABLE mit Hilfe von zwei VDP - Registern dargestellt, um eine Erweiterung des adressierbaren VDP - Speichers zu ermöglichen.

Der SPRITE ATTRIBUTE TABLE läßt sich in Schritten von >0080 Bytes im Speicher plazieren. Somit müssen die Adreßbits von A7 bis A16 zur Adressierung herangezogen werden.

Der SPRITE ATTRIBUTE TABLE hat für Sprites die gleiche Aufgabe wie der PATTERN DESCRIPTOR TABLE für normale ASCII-Zeichen zu erfüllen, also die Form der Sprites zu definieren. Wenn die Adresse des SPRITE ATTRIBUTE TABLE die Gleiche ist wie die des PATTERN DESCRIPTOR TABLE, dann können Sprites aus ASCII-Zeichen gebildet werden.

Aufbau Register R#5:

Register	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
#5	A14	A13	A12	A11	A10	A9	A8	A7	Die Bits a6 - a0 sind als '0' definiert

Aufbau Register R#11:

Register	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
#11	0	0	0	0	0	0	A16	A15

VDP-Register 6

R#6 SPRITE PATTERN GENERATOR TABLE BASE ADDRESS REGISTER

Das VDP-Register #6 zeigt auf die Stelle im VDP-Ram, an der der SPRITE PATTERN GENERATOR definiert ist. In dem SPRITE PATTERN GENERATOR werden die vertikale und horizontale Position der Sprites und deren Patterncode und Farbe abgelegt. Weiterhin wird hier des sogenannt EARLY CLOCK BIT eingetragen, welches bestimmt, wie sich der Sprite am Bildschirmrand verhält.

Aufbau Register 9:

Register	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
#9	0	0	A16	A15	A14	A13	A12	A11	Die Bits a10 - a 0 sind als '0' definiert.

VDP-Register 7

R#7 Color Register 0

Mit dem Register 7 kann bei den beiden Darstellungsmodi Text die Bildschirmfarbe und bei den anderen die Hintergrundfarbe eingestellt werden.

Aufbau Register 7:

Register	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
#7	TC3	TC2	TC1	TC0	BD3	BD2	BD1	BD0

TC0...TC3 Text Color

Textfarbe bei Text, ignoriert bei allen anderen Darstellungsmodi

BD0...BD3 Backdrop Color

Hintergrundfarbe bei allen Darstellungsmodi

VDP-Register 12

R#12 Color Register 1

Mit dem Register 12 kann bei Textmode 2 die alternative Farbe eingestellt werden

Aufbau Register 12

Register	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
#12	T23	T22	T21	T20	BC3	BC2	BC1	BC0

T20...T23 Textcolor 2

Alternative Textfarbe bei Textmodus 2

BC0...BC3 Back Color

Alternative Hintergrundfarbe bei Textmode 2

VDP-Register 13

R#13 Blinking Period Register

Mit dem Register 13 kann im Textmode 2 die alternative Textfarbe (R#12) abwechselnd mit der normalen Textfarbe (R#7) anzeigen (blinken) lassen.

Die einzelnen Bildschirmpositionen werden an der von Registerpaar R#3 und R#10 angegebenen Adresse im VDP-RAM definiert (BITMAP)

Aufbau Register 13

Register	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
#13	ON3	ON2	ON1	ON0	OF3	OF2	OF1	OF0

ON0...ON3 On Time

Zeit von 0 bis 2503 Millisekunden, in der die mit R#7 definierte Farbe angezeigt wird. Siehe Tabelle

OF0...OF3 Off Time

Zeit von 0 bis 2503 Millisekunden, in der die mit R#12 definierte Farbe angezeigt wird

Die Anzeigedauer ist wie folgt festgelegt (Zeiten gültig für NTSC)

Bitwert	Zeit
0000	0 ms
0001	166 ms
0010	333 ms
0011	500 ms
0100	667 ms
0101	834 ms
0110	1001 ms
0111	1168 ms
1000	1335 ms
1001	1501 ms
1010	1668 ms
1011	1835 ms
1100	2002 ms
1101	2169 ms
1110	2336 ms
1111	2503 ms

VDP-Register 16

R#16 Color Palette Address Pointer

Das VDP-Register 16 ist der Zeiger auf die Palettenregister. Damit ist es möglich, die RGB-Farbkombination einer Bildschirmfarbe zu beeinflussen.

Der Zugriff erfolgt über die Angabe der Farbnummer in Register #16 um danach den Farbwert Byteweise auf Port #2 (TI:>8C04) zu schreiben.

Der Farbwert ist folgendermaßen kodiert:

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	Farbwert rot			0	Farbwert blau			0	0	0	0	0	Farbwert grün		

Die Farbwerte können alle Werte von 0 bis 7 annehmen. Es sind hier also 16 aus 2^4 (512) Farben gleichzeitig darstellbar.

Ein Beispielprogramm:

```
*
* Standard-Farbwerte beim TMS9929
*
COLOR DATA >0000 R / B / - / G
        DATA >0000
        DATA >0006
        DATA >3307
        DATA >0700
        DATA >2703
        DATA >5000
        DATA >0706
        DATA >7000
        DATA >7303
        DATA >6006
        DATA >6406
        DATA >3004
        DATA >6503
        DATA >5505
        DATA >7707
*
* Start der Routine
*
START  LI   R5,COLOR
        LI   R1,>1000           Register >10, Farbe >00
START1 MOV   R1,R0
        ORI  R0,>8000           Registerzugriffscod (MSBit gesetzt)
        SWPB R0
        MOVB R0,@>8C02         Adresse setzen Lowbyte
        SWPB R0
        MOVB R0,@>8C02         Adresse setzen Highbyte
        MOVB *R5+,@>8C04       Highbyte auf Port #2 schreiben
        MOVB *R5+,@>8C04       Lowbyte auf Port #2 schreiben
        INC  R1
        CI   R1,>1010           Farbe 16 erreicht?
        JNE  START1
```

Mit diesem Programm werden die Farbwerte der Farben 0 bis 15 wie die bei einem TMS 9929 eingestellt.

Die Status-Register

Der MSX-II-VDP verfügt über insgesamt 10 Statusregister. Alle 10 werden über die Adresse >8802 (Port #1) gelesen. Welches davon nun gelesen wird, legt das Register 15 (R#15) fest. In dessen letzten 4 Bits wird die Nummer des Statusregisters angegeben, das dann an Port #1 (>8802) gelesen werden kann.

Hier nun eine kurze Zusammenfassung, bevor die Register im Detail besprochen werden:

- S#0: VDP-Interrupt-Flag, Sprite-Kollisions-Flag, Vorhandensein des 5. oder 9. Sprites (Sprite-Modus 1 oder 2) auf einer horizontalen Linie und die Nummer dieses Sprites
- S#1: Flags für Light-Pen-Detektor und -schalter, auch als Flags für die zwei Maustasten nutzbar, Identifikationsnummer des Chips sowie das Flag für einen aufgetretenen Horizontal-Interrupt.
- S#2: Flags für Aktiv-Kondition des VDP bei Befehlsabarbeitung, Bildhinlauf, Zeilenhinlauf sowie Flags für erkannte Farben (Such-Befehl) und das gerade angezeigte Feld bei aktivem EO-Bit in R#9.
- S#3: Spaltenregister (8 niederwertige Bits)
- S#4: Spaltenregister (1 höherwertiges Bit)
- S#5: Zeilenregister (8 niederwertige Bits)
- S#6: Zeilenregister (1 höherwertiges Bit) sowie Feldkennung des Light-Pen
- S#7: Farb (Color) Register für POINT-Befehl und VRAM-CPU-Transfer
- S#8: Begrenzungsfarbe in X-Richtung (8 niederwertige Bits)
- S#9: Begrenzungsfarbe (Border Color), 1 höherwertiges Bit

Register S#7 dient als eine Art Zwischenregister für VDP-Befehle bzw. bei diesen anfallende Daten.

ACHTUNG!!!

Es ist dringend zu empfehlen, nach Zugriff auf irgendein anderes Statusregister als S#0 dieses wieder über R#15 auf Port 0 zu legen, da nur so der MSX-II-VDP weiterhin wie ein 9918/29 'aussieht'!

Status-Register 0

Das Statusregister 0 (S#0) ist beim V9938 identisch zu dem des 9918/29, wie er im TI 99/4A eingebaut ist. Es liefert Informationen zu Sprite-Kollisionen, dem erfolgten Fertigstellen eines Halbbildes (VDP-Interrupt, wenn erlaubt) und einer eventuellen Spriteanzahlüberschreitung.

Aufbau Statusregister 0

Register	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
S#0	F	5S	C	S4	S3	S2	S1	S0

F FIELD SCAN FLAG

Ein Halbbild wurde aufgebaut. Nachdem der VDP ein Halbbild (im Interlace-Modus) aufgebaut hat, löst er einen Interrupt aus (sofern durch IE0 in R#1 erlaubt) und setzt dieses Bit (bei IE0 wird NUR das Bit gesetzt). Wird S#0 gelesen, so wird das F-Bit gelöscht! Es bleibt so lange gesetzt, bis S#0 gelesen wird, d.h. daß ein Lesen von S#0 und ein Test des F-Bits nur sagt, daß irgendwann ein VDP-Interrupt auftrat, jedoch nicht wann das passierte. Um das herauszubekommen, muß S#0 laufend gelesen werden und auf einen Wechsel des F-Bits gewartet werden!

5S FIFTH SPRITE

Der Name ist ein Artefakt der TMS9918/29-Zeit, wo es nur höchstens 4 Sprites auf einer Zeile gab und das fünfte bereits nicht mehr korrekt dargestellt werden konnte. In den Graphik-Modi 1 und 2 ist dies auch nach wie vor der Fall, in den Modi 3 bis 7 jedoch wird dieses Bit erst gesetzt, wenn mehr als 8, also doppelt so viele Sprites auf einer Zeile auftauchen. Dann würde auch NINTH SPRITE stimmen.

C COLLISION/COINCIDENCE

Wenn sich zwei Sprites überlappen, so wird dieses Bit gesetzt. Der Ort (das Pixel) wo diese Überlappung stattfand, kann den Koordinatenregistern S#3-6 entnommen werden. Bezugspunkt ist immer die obere linke Ecke eines Sprites.

FIFTH/NINTH SPRITE NUMBER

Sobald 5S gesetzt ist, erscheint hier die Nummer eines der 32 Sprites, die verfügbar sind. Das ist dann die Nummer des überzähligen Sprites (0 bis 31).

Status-Register S#1

Das Statusregister 1 (S#1) dient verschiedenen Zwecken. 2 Bits dienen der Erkennung von Zuständen an Maus oder Light-Pen (entweder - oder, nicht gleichzeitig!), 5 Bits liefern die Identifikation des VDP-Chips und ein weiteres zeigt einen Horizontalinterrupt an.

Aufbau Statusregister 1

Register	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
S#1	FL	LPS	ID4	ID3	ID2	ID1	ID0	FH

FL LIGHT DETECTED

Eine log.1 zeigt an, daß der Light-Pen den Elektronenstrahl erkannt hat bzw. daß an der Maus (sofern statt des Light-Pen geschaltet) die Taste 2 gedrückt wurde. War dieses Bit gesetzt und war der Light-Pen aktiv, so wird dieses Bit gelöscht, nachdem das Statusregister gelesen wurde. Bei einer Maustastenbedingung wird dieses Bit nicht gelöscht!

LPS LIGHT-PEN-SWITCH

Eine log.1 zeigt an, daß entweder die Taste des Light-Pen oder die Taste 1 der Maus gedrückt wurde. Dieses Bit wird beim Lesen nicht gelöscht!

IDn

Liefert laut Datenbuch des V9938 eine interne Versionsnummer des VDP. Nach Angaben im Datenbuch des V9958 wird hier eine Typenbezeichnung abgelegt.

Typ	ID4	ID3	ID2	ID1	ID0
V9938	0	0	0	0	0
V9958	0	0	0	1	0

FH HORIZONTAL SCANNING INTERRUPT FLAG

Zeigt an, daß ein über R#19 spezifizierter Interrupt aufgetreten ist bzw. aufgetreten wäre, wenn er in R#0 aktiviert worden wäre. Dieses Bit wird nach dem Lesen von S#1 rückgesetzt / gelöscht!

Status-Register S#2

Das Statusregister 2 (S#2) ist ein Multifunktionsregister. Es wird bei automatisch ablaufenden Operationen des VDP und Transfersequenzen benutzt und liefert Informationen über den aktuellen Zustand des Bildschirmaufbaus

Aufbau Statusregister 2

Register	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Register #2	TR	VR	HR	BD	1	1	EO	CE

TR TRANSFER READY

Eine log.1 zeigt an, daß der VDP bereit ist, mit der CPU Daten auszutauschen (High-Speed-Move, siehe Kommandos des VDP). Wurde ein entsprechender Befehl an den VDP gegeben, so kann die CPU über dieses Bit prüfen, wann der VDP bereit ist, Daten zu übernehmen. Beim Auslesen des VRAMs ist dieses Bit ohne Funktion!

VR VERTICAL RESCAN

Eine log.1 zeigt an, daß der VDP momentan einen Vertikalrücklauf ausgelöst hat und auf dessen Ende wartet. Das ist eines der Zugriffsfenster (Zeitschlitz), in dem mit minimalen Wartezeiten auf das VRAM zugegriffen werden kann bzw. der Bildinhalt flimmerfrei umgeblendet werden kann.

HR HORIZONTAL RESCAN

Eine log.1 zeigt an, daß der VDP einen Horizontal-Rücklauf bearbeitet (Zeilenrücklauf). Hierbei entsteht ein Zugriffsfenster von einigen Mikrosekunden Dauer. Nähere Informationen zu den Zugriffsfenstern enthält der Hardware-Teil.

BD BOUNDARY COLOR DETECT

Rand/Grenzfarbenerkennung. Dieses Bit steht im Zusammenhang mit dem SEARCH-Kommando, wird also dort näher beschrieben. Siehe auch S#8,9!

EO EVEN/ODD FIELD

Der MSX-II-VDP kann zwei verschiedene Seiten des VRAMS alternierend anzeigen. Normalerweise ist nur eine Seite aktiv, die andere wird transparent angenommen. Welche Seite derzeit angezeigt wird, kann diesem Bit entnommen werden, 0 = erstes Feld (Even), 1 = zweites Feld (Odd).

CE COMMAND EXECUTING

Ist dieses Bit log.1, so bearbeitet der VDP noch immer einen zuvor erteilten Befehl. Signifikante Befehle, die nicht innerhalb weniger Mikrosekunden bearbeitet werden können sind nur FILL und LOGICAL MOVE innerhalb des VDP-adressierbaren Speichers. Bevor ein neuer Befehl gegeben werden kann, muß auf die Beendigung des alten gewartet werden (Ausnahme ist das STOP Kommando). Näheres bei den VDP-Kommandos.

Status-Register S#3, S#4, S#5, S#6

Die Statusregister 3 bis 6 (S#3 - S#6) sind Koordinatenregister. Sie geben an, wo sich zwei Sprites überlappen, wo der Light-Pen den Elektronenstrahl detektiert hat und wohin sich die Maus seit dem letzten Zugriff relativ bewegt hat.

Welche Funktion nun aktiv ist, hängt von den MODE REGISTERN ab, also ob die Maus oder der Light-Pen aktiv sind bzw. ob eine Sprite-Kollisionsbestimmung angefordert wurde.

Aufbau Statusregister 3,4,5,6

Register	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
S#3	X7	X6	X5	X4	X3	X2	X1	X0	Spaltenregister, LSBit
S#4	1	1	1	1	1	1	1	X8	Spaltenregister, HSBit
S#5	Y7	Y6	Y5	Y4	Y3	Y2	Y1	Y0	Zeilenregister, LSBit
S#6	1	1	1	1	1	1	EO	Y8	Zeilenregister, HSBit, Feldkennung

Das EO-Bit in S#6 erfüllt eine ähnliche Funktion wie das EO-Bit in S#2. Bei einer Light-Pen-Abfrage gibt es die Kennung des Feldes an, in welchem der Light-Pen ein Signal gab. Ausgabe ist immer eine Pixel-Koordinate!

Näheres zur relativen Maus-Position im entsprechenden Kapitel zur Maus-Steuerung.

Die nichtsignifikanten Bits (in beiden Koordinaten sind nur Werte zwischen 0 und 211 bzw. 511 möglich) werden als '1' übergeben, müssen also nach dem Lesen ausmaskiert werden!

S#7 COLOR REGISTER

Das Statusregister 7 (S#7) dient als Zwischenregister bei dem Befehl POINT sowie bei einem Transfer vom VRAM zur CPU. Die Daten können hier 'abgeholt' werden.

Alle 8 Bits sind signifikant.

Aufbau Statusregister 7

Register	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
S#7	C7	C6	C5	C4	C3	C2	C1	C0	8 Signifikante Bits

S#8, 9 BORDER X REGISTER (Low/High)

Hier befindet sich die X-Koordinate eines Punktes der Begrenzungsfarbe, sofern er gefunden wurde. Ob oder ob nicht gibt das BD-Bit in S#2 an, siehe dort.

Aufbau Statusregister 8 & 9

Register	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
S#8	Bx7	Bx6	Bx5	Bx4	Bx3	Bx2	Bx1	Bx9	8 niederwertige Bits
S#9	1	1	1	1	1	1	1	Bx8	Höchstwertiges Bit

Die nichtsignifikanten Bits müssen, wie bei S#3-6, ausmaskiert werden!

Beispiel Textmodus 2 - 24 * 80 oder 26 * 80 Zeichen

Es folgt nun ein Beispiel-Programm, wie man in den Textmodus 2 gelangt und welche Möglichkeiten dort geboten werden.

Grundlegende Registerbelegung:

Register	Inhalt	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
#0	>04	0	DG	IE2	IE1	0	1	0	0
#1	>70	0	BL	IEU	1	0	0	SI	MAG
#8	>03	MS	LP	TP	CB	VR	0	SPD	BW
#9	>E7	LN	0	S1	S0	IL	EO	NT	DC

Pattern Generator Table (PGT)

- Der Pattern Generator Table ist ein Bereich, in dem die Zeichendefinitionen abgelegt sind.
- Es werden immer alle Zeichen zwischen 0 und 255 definiert
- Der Beginn des Pattern Generator Table wird mit Register #4 in Schritten von >0800 bestimmt.
- PGT = R4 * >0800

Register	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
#4	0	0	A16	A15	A14	A13	A12	A11

- Jedes Zeichen wird aus einer Matrix von 8 Bytes (64 Bit) definiert, wobei die letzten beiden Bitspalten nicht angezeigt werden.

Adresse	Inhalt	Definition	Zeichen Nr.
0	>20	00100000	Zeichen 0
1	>50	01010000	
2	>88	10001000	
3	>88	10001000	
4	>F8	11111000	
5	>88	10001000	
6	>88	10001000	
7	>88	10001000	
8	>00	00000000	
9	>F0	11110000	Zeichen 1
10	>88	10001000	
11	>88	10001000	
12	>F0	11110000	
13	>88	10001000	
14	>88	10001000	
15	>F0	11110000	
16	>00	00000000	
.	.	.	.
.	.	.	.
2040	>F0	11110000	Zeichen 255
2041	>88	10001000	
2042	>88	10001000	
2043	>F0	11110000	
2044	>88	10001000	
2045	>88	10001000	
2046	>F0	11110000	
2047	>00	00000000	

Yamaha V9938 - Video Display Prozessor (MSX II)

Pattern Name Table (PNT)

- Im Pattern Name Table beschreibt jedes Byte eine bestimmte Position auf dem Bildschirm.
- Wenn LN zu Null gesetzt ist, wird ein Bereich von 24 * 80 Zeichen angezeigt, bei LN = 1 werden 26,5 * 80 Zeichen angezeigt, von der 27. Zeile wird die obere Hälfte gezeigt.
- Der Beginn des Pattern Name Table wird mit Register #2 in Schritten von >0400 definiert
- $PNT = R\#2 * >0400$
- Wenn die Bits 0 und 1 nicht 1 sind, spiegelt sich der Bereich!!

Register	Inhalt	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
#2		0	A16	A15	A14	A13	A12	1	1

Zeile	Adresse	Spalte									
0	0	0	1	2	3	4	...	76	77	78	79
1	80	80	81	82	83	84	...	156	157	158	159
.
25	2000	2000	2001	2002	2003	2004	...	2076	2077	2078	2079
26	2080	2080	2081	2082	2083	2084	...	2156	2157	2158	2159

Color Table (CT)

- Im Textmode 2 ist jeder Bildschirmposition ein Bit zugeordnet, mit dessen Hilfe das Zeichen eine andere Farbe zugeordnet bekommen kann und diese mit der Standardfarbe abwechselnd eingefärbt wird.
- Die Position des Color Table wird mit den Registern #3 und #10 bestimmt.
- Der Beginn des Color Table wird mit Register #3 in Schritten von >0200 definiert, mit R#10 wird die Bank bestimmt
- $CT = R\#3$

Register	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
#3	A13	A12	A11	A10	A9	1	1	1
#10	0	0	0	0	0	A16	A15	A14